

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-012361

(43)Date of publication of application : 17.01.1990

(51)Int.Cl.

G06F 15/16

G06F 13/36

G06F 15/16

(21)Application number : 63-162308

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.06.1988

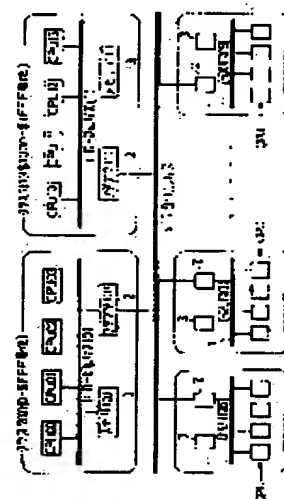
(72)Inventor : ARAI SUSUMU

(54) PARALLEL COMPUTER SYSTEM USING HIERARCHICAL BUS

(57)Abstract:

PURPOSE: To realize a large-scale and close-connection computer system where the bus conflict is minimized by using the adaptors to perform the mutual transfer of requests between the local buses shared by plural processors and a global bus of a higher hierarchy.

CONSTITUTION: Each of clusters 0-15 consists of plural processors CPUs sharing a local bus, a memory 3, and an adaptor 2 which performs the mutual transfer of requests between the bus 1 and a global bus 4. The bus 4 has a hierarchical structure to secure the mutual connection among plural clusters. Then the adaptor 2 functions to secure the mutual transfer of a requests between the bus 1 shared by plural CPUs and the bus 4. Thus it is possible to obtain a large-scale and close-connection computer system with minimization of the bus conflict.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑱ 公開特許公報(A) 平2-12361

⑤ Int. Cl.³

G 06 F 15/16
13/36
15/16

識別記号

3 6 0 Z
3 1 0 C
4 0 0 S

庁内整理番号

6745-5B
8840-5B
6745-5B

④ 公開 平成2年(1990)1月17日

審査請求 未請求 請求項の数 1 (全6頁)

④ 発明の名称 階層化バスによる並列計算機システム

② 特 願 昭63-162308

② 出 願 昭63(1988)6月29日

⑦ 発 明 者 新 井 進 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦ 代 理 人 弁理士 岡田 守弘

明 細 書

1. 発明の名称

階層化バスによる並列計算機システム

2. 特許請求の範囲

バスによって結合される並列計算機システムにおいて、

ローカルバス(1)を共有する複数のプロセッサからなるクラスタと、

このクラスタを構成するアダプタ(2)を介してグローバルバス(4)に階層化した態様で結合し、

アダプタ(2)がローカルバス(1)に送出された要求が自クラスタ以外への要求であると検出した時にグローバルバス(4)に要求を転送し、一方、グローバルバス(4)に送出された要求が自クラスタ内への要求であると検出した時に自ローカルバス(1)に要求を転送して処理を行い得るように構成したことを特徴とする階層化バスによる並列計算機システム。

3. 発明の詳細な説明

(概要)

バスによって結合される並列計算機システムに関し、

ローカルバスを共有する複数のプロセッサからなるクラスタを、グローバルバスによって相互に結合し、各クラスタにアダプタを設けてローカルバスとグローバルバスとの間で要求を相互に転送し、バス競合を回避した大規模な密結合並列計算機システムを構築することを目的とし、

ローカルバスを共有する複数のプロセッサからなるクラスタと、このクラスタを構成するアダプタを介してグローバルバスに階層化した態様で結合し、アダプタがローカルバスに送出された要求が自クラスタ以外への要求であると検出した時にグローバルバスに要求を転送し、一方、グローバルバスに送出された要求が自クラスタ内への要求であると検出した時に自ローカルバスに要求を転送して処理を行い得るように構成する。

〔産業上の利用分野〕

本発明は、階層化バスによって複数のプロセッサが結合される並列計算機システムに関するものである。

〔従来の技術と発明が解決しようとする課題〕

従来、共通バスによって結合した密結合型並列計算機システムはシステム全体で1つのアドレス空間を共有するため、メモリアクセスの際にそのメモリが自己のプロセッサのものであるか、他のプロセッサのものであるかを区別する必要がないなどのメリットがある。しかし、多数のプロセッサによって1つのバスを共有するためにバスの競合が発生し、台数を増やしてもそれ程に台数効果が得られないという問題がある。

また、ネットワークによって結合した疎結合型並列計算機システムは、多数のプロセッサを結合することが可能であるが、他のプロセッサのメモリアクセスするときに複雑な操作を要したり、大

〔作用〕

本発明は、第1図に示すように、システム全体でアドレス空間を共有し、あるプロセッサがローカルバス1上に要求（例えばメモリアクセス要求）を送出した時、この要求のアドレスが当該クラスタ内のアドレスであれば、該当する例えばメモリ3がその要求を取り込んでデータをライトしたり、あるいはリードしたデータを要求元に返送などする。一方、この要求のアドレスが当該クラスタ以外のアドレスであれば、アダプタ2が要求をグローバルバス4に転送し、他の該当クラスタのアダプタ2がこのグローバルバス4に転送された要求を取り込んでローカルバス1に転送し、更に該当する例えばメモリ3がその要求を取り込んでデータをライトしたり、あるいはリードしたデータを要求元に逆の順序で返送などする。

従って、複数のプロセッサが共有するローカルバスと、上位の階層のグローバルバス4との間の要求の転送をアダプタ2が相互に行うことにより、

大きなオーバーヘッドが発生してしまうという問題がある。

本発明は、ローカルバスを共有する複数のプロセッサからなるクラスタを、グローバルバスによって相互に結合し、各クラスタにアダプタを設けてローカルバスとグローバルバスとの間で要求を相互に転送し、バス競合を回避した大規模な密結合型並列計算機システムを構築することを目的としている。

〔課題を解決する手段〕

第1図を参照して課題を解決する手段を説明する。

第1図において、クラスタ(0)ないしクラスタ(4)は、ローカルバス1を共有する複数のプロセッサ(CPU)、メモリ、およびローカルバス1とグローバルバス4との間の要求を相互に転送するアダプタ2などから構成されている。

グローバルバス4は、複数のクラスタを相互に接続する階層化したバスである。

バス競合を可及的に回避して大規模な密結合型計算機システムを構築することが可能となる。

〔実施例〕

次に、第1図から第4図を用いて本発明の1実施例の構成および動作を順次詳細に説明する。

第1図において、クラスタ(0)ないし(4)は、各4台のプロセッサ(CPU)をローカルバス1に夫々接続し、合計 $4 \times 16 = 64$ 台のプロセッサを並列接続した例である。このようにローカルバス1の上位の階層のバスとしてグローバルバス4を設け、各クラスタに図示のようにアドレスを夫々割り付ける。これにより、図示システム全体でアドレス空間が共有され、例えばアクセス要求したアドレスによって、いずれのクラスタのメモリアクセスしたのかを知ることができる。このため、プロセッサがローカルバス1に送出したアクセス要求のアドレスが自クラスタ内のアドレスであれば、当該ローカルバス1内でいわば閉じた状態で処理を行うことができるので、他のローカル

バス1との間でバス競合が発生しない。また、プロセッサがローカルバス1に送出したアクセス要求のアドレスが自クラスタ以外のアドレスであれば、各クラスタ内に設けたアダプタ2がこの旨を認識して当該アクセス要求をグローバルバス4に乗せ(転送し)、他のクラスタ内に設けた該当アダプタ2がこのアクセス要求を自ローカルバス1に乗せ、例えばメモリ3がこのアクセス要求を取り込み、該当処理を行うようにしている。

以上のように、バスをローカルバス1およびグローバルバス4に階層化し、ローカルバス1内で閉じた状態で処理を行い得るように構成したことにより、大規模な並列計算機システムにおけるバス競合を可及的に回避することが可能となる。

第2図は、アダプタ構成例を示す。これは、第1図アダプタ2の構成例である。図中制御回路(1)は、ローカルバス1に送出された要求のアドレスが、自クラスタ以外と検出した時に、ローカルバス1を構成する制御バス、アドレスバス、およびデータバスから図示ラッチによって夫々保持して

るアドレス範囲に含まれるか否かなどを検出するものである。即ち、アダプタ2が属するクラスタ内のアドレスが送出されたか否かなどを検出するものである。

バスアービタ(Bus Arbitor)7は、グローバルバス4を構成する制御バスの状態を参照して、グローバルバス4の空きを見つけるなどするものである。

次に、動作を説明する。

第3図において、コンパレータ6がローカルバス1を構成するアドレスバスに送出されたアドレスが、クラスタアドレスレジスタ5に記憶されているアドレス範囲以外であると検出した時、バスアービタ7がグローバルバス4の空きを見つけ、アドレスレジスタ8およびコマンド/データレジスタ9に保持しておいたアドレス、コマンド/データをグローバルバス4を構成するアドレスバス、制御バス、データ/コマンドバスに転送する。グローバルバス4からローカルバス1への転送も、同様に、グローバルバス4に送出されたアドレス

おいたものを、グローバルバス4に夫々転送するように制御するものである。一方、図中制御回路(2)は、逆にグローバルバス4に送出された要求のアドレスが、自クラスタ内と検出した時に、図示ラッチによって夫々保持しておいたものを、ローカルバス1に夫々転送するように制御するものである。

第3図は、ローカルバス1上のデータ/コマンドをグローバルバス4に乗せる部分の他のアダプタ構成例を示す。ここで、グローバルバス4からローカルバス1に乗せる部分は第3図と同じであるので省略してある。

第3図において、クラスタアドレスレジスタ(Cluster Address Register)5は、アダプタ2の属するクラスタが有するメモリ3のアドレス範囲と、クラスタが有するプロセッサ(CPU)のCPU番号などを記憶するものである。

コンパレータ(Comparator)6は、ローカルバス1を構成するアドレスバスに送出されたアドレスが、クラスタアドレスレジスタ5に記憶されてい

が、クラスタアドレスレジスタ5に記憶されているアドレス範囲内の時に、行うようにしている。

第4図は、バスコマンド例を示す。ここで、最上段の「書き込みコマンド」をCPUが発行すると、コマンドバスに「書き込みコマンド」、アドレスバスに「書き込むアドレス」、データバスに「書き込みデータ」がそれぞれ送出される。また、「読み出しコマンド」および「データコマンド」についても図示のように送出される。以下このコマンドを用いた具体例を説明する。

(1) 主記憶(第1図メモリ3)への書き込み例
書き込みを行うCPUが、ローカルバス1に「書き込みコマンド」に乗せる。

① このコマンドが自クラスタ内のアドレスを持つ主記憶への書き込みであれば、このコマンドは主記憶に取り込まれ、指定されたアドレスに指定されたデータが書き込まれる。

② このコマンドが自クラスタ以外への書き込みであると、第3図アダプタ2を構成するコンパレータ6によって検出された場合、バスアービ

タ7がグローバルバス4の空きを見つけてこのコマンドをグローバルバス4に転送し、更に該当アダプタ2のコンパレータ6が自クラスタ内のアドレスであると検出して自クラスタ内のローカルバス1にこのコマンドを乗せ、該当主記憶がこれを取り込んで指定されたアドレスに指定されたデータを書き込む。

(2) 主記憶からの読み出し例

読み出しを行うCPUが、ローカルバス1に“読み出しコマンド”を乗せる。

① このコマンドが自クラスタ内のアドレスを持つ主記憶からの読み出しであれば、このコマンドは主記憶に取り込まれる。これに対応して、主記憶は、“データコマンド”を発行して、読み出したデータを要求元CPUに転送する。

② このコマンドが自クラスタ以外からの読み込みである場合、(1)の②と同様に、グローバルバス4、ローカルバス1を介して該当主記憶に取り込まれる。これに対応して、主記憶は、“データコマンド”を発行して、逆の経路を辿って読

み出したデータを要求元CPUに転送する。

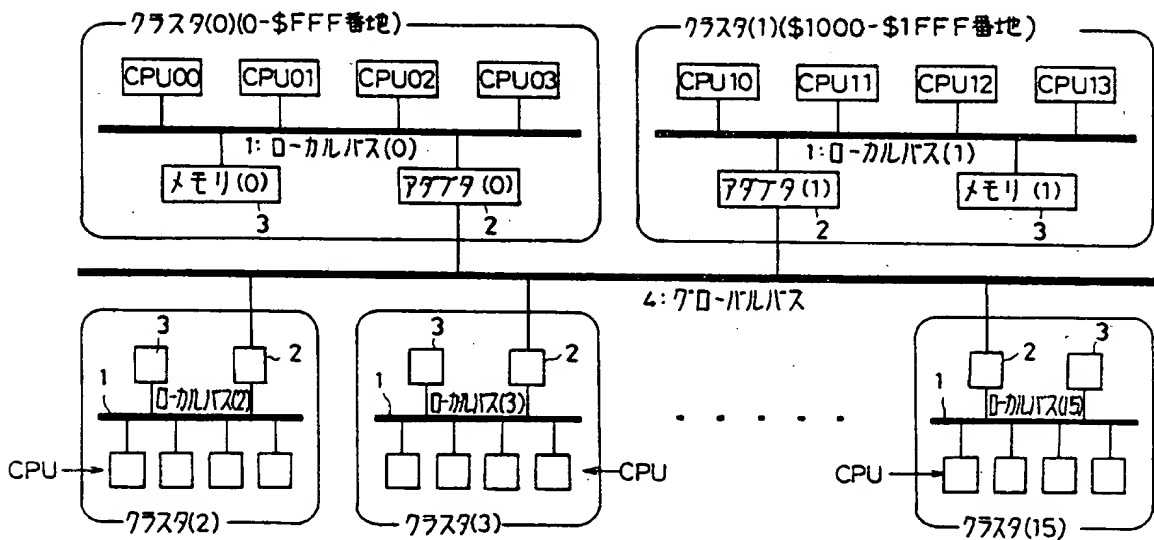
(発明の効果)

以上説明したように、本発明によれば、複数のプロセッサが共有するローカルバスと、上位の階層のグローバルバス4との間の要求の転送をアダプタ2が相互に行う構成を採用しているため、バス競合を可及的に回避した大規模な密結合計算機システムを構築することができる。

4. 図面の簡単な説明

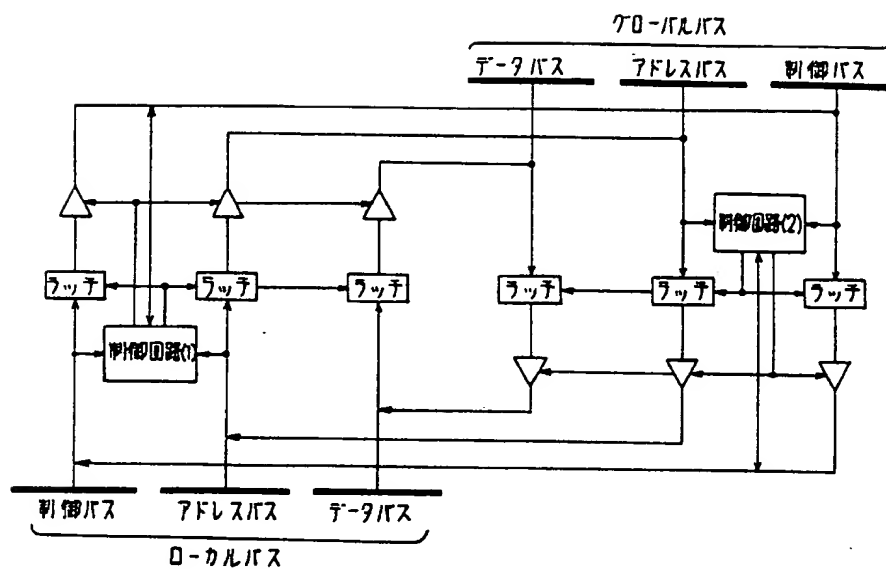
第1図は本発明の1実施例構成図、第2図、第3図はアダプタ構成例、第4図はバスコマンド例を示す。

図中、1はローカルバス、2はアダプタ、3はメモリ(主記憶)、4はグローバルバス、5はクラスタアドレスレジスタ、6はコンパレータ、7はバスアービタ、8はアドレスレジスタ、9はコマンド/データレジスタを表す。

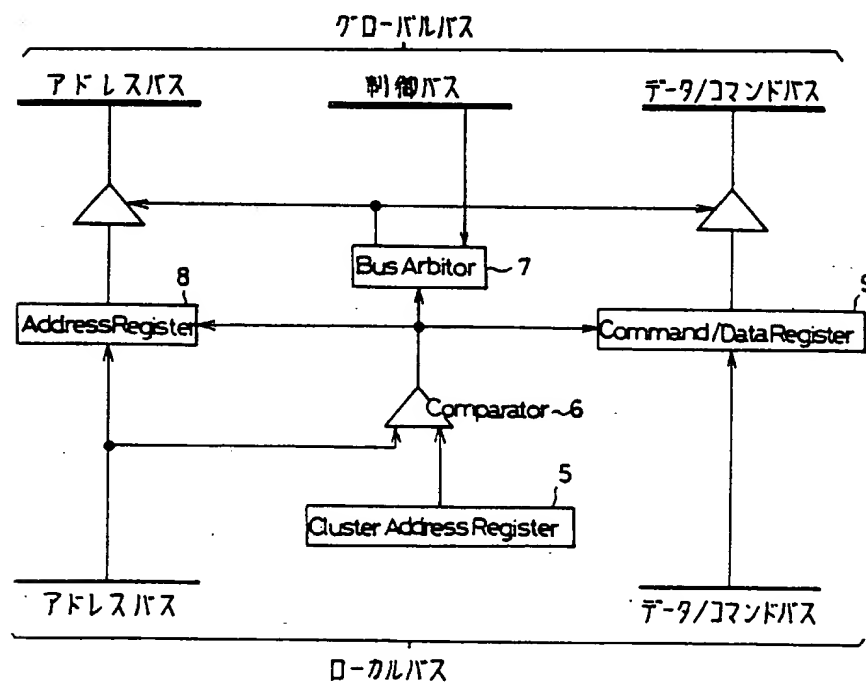


本発明の1実施例構成図

第 1 図



アタタ構成例
第 2 図



アタタ構成例
第 3 図

	Command Bus	Address Bus	Data Bus
書き込みコマンド	書き込みコマンド	書き込むアドレス	書き込むデータ
読み出しコマンド	読み出しコマンド	読み出すアドレス	CPU番号
データコマンド	データコマンド	CPU番号	読み出したデータ

バスコマンド例

第 4 図